

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-230362

(43)Date of publication of application : 05.09.1997

(51)Int.Cl. G02F 1/1343
G02F 1/1335

(21)Application number : 08-058330

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO
LTD

(22)Date of filing : 20.02.1996

(72)Inventor : OHORI TATSUYA
TAKEI MICHIKO
CHIYOU KOUYUU
SUZAWA HIDEOMI
YAMAGUCHI NAOAKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the generation of defects caused by charging of black matrix in the manufacturing process and improve reliability after the device is completed by forming the electrode which brings the black matrix to the common potential using a transparent conductive film constituting a pixel electrode.

SOLUTION: A common electrode 303 is formed in order to bring the black matrix 302 to the common potential using a transparent conductive film 227 constituting a pixel electrode 228. After such manufacturing process, a final protective film is formed; on top of it a wrapping film is formed to wrap the liquid crystal; and after that the wrapping process is executed. In this case, it is possible to hold the black matrix 302 at a specified potential and to avoid accumulation of charge there so that generation of defects such as destruction of thin film transistors due to generation of static electricity and electrostatic breakage of insulation films is avoided and reliability of the device after the device is completed is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-230362

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1343		G 0 2 F	1/1343
	1/1335			1/1335

審査請求 未請求 請求項の数 2 F D (全 10 頁)

(21) 出願番号 特願平8-58330

(22) 出願日 平成8年(1996)2月20日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 大堀 達也

東京都町田市森野2-1-8 サンコート
町田203号

(72) 発明者 竹井 美智子

神奈川県厚木市旭町4-1-5 古郡ハイ
ツ108号

(72) 発明者 張 宏男

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

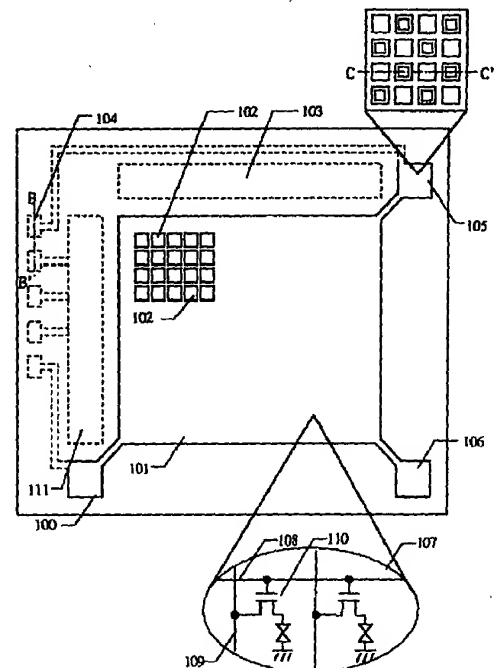
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 ブラックマトリクスが帯電してしまうことを解決する。

【構成】 画素電極を構成する透明導電膜でもってブラックマトリクスをコモン電位とするための電極を形成すること、そしてその電極がソース線と同一層上に形成されていること。



【特許請求の範囲】

【請求項 1】 アクティブマトリクス型を有する液晶表示装置であって、

画素電極を構成する透明導電膜でもってブラックマトリクスをコモン電位とするための電極が形成されていることを特徴とする液晶表示装置。

【請求項 2】 アクティブマトリクス型を有する液晶表示装置であって、

ブラックマトリクスをコモン電位とするための電極がソース線と同一層上に形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本明細書で開示する発明は、アクティブマトリクス型の液晶表示装置の構成に関する。またその作製方法に関する。

【0002】

【従来の技術】 従来より、アクティブマトリクス型の液晶表示装置が知られている。これは、マトリクス状に配置された画素のそれぞれに薄膜トランジスタを配置し、画素電極に入力する電荷を薄膜トランジスタでもって制御するものである。

【0003】 このような構成においては、画素電極の縁の部分に覆うようにして配置されるブラックマトリクス (BM) と呼ばれる遮光膜が必要とされる。BMとしては、通常数千 Å 程度の厚さを有する金属膜が利用されている。

【0004】 このブラックマトリクスは電気的には特に役割を果たさないが、画素マトリクス領域の全体にわたり存在するものとなる。

【0005】 しかし、薄い金属膜が絶縁膜に挟まれて、画素マトリクス領域の全体に存在することは、そこに不要な電荷が蓄積されるという問題が生じる。

【0006】 このことは、装置の完成後に限らず、その作製工程においても問題となる。

【0007】 周知のように、一般に薄膜トランジスタの作製工程においては、プラズマを用いた成膜工程やエッチング工程が実施される。

【0008】 この際、電気的に浮いた導電性の材料が存在すると、そこには電荷が蓄積され、絶縁膜の静電破壊を生じさせてしまう。

【0009】 一般に利用される絶縁膜の膜厚は、数千 Å である。また CVD 法やスパッタ法で成膜された絶縁膜 (酸化珪素膜や窒化珪素膜) の内部には、欠陥やピンホールが無視できない密度で存在している。

【0010】 従って、上記のような BM に電荷が蓄積されてしまう現象が生じる結果、局所的に絶縁膜が静電破壊してしまう。

【0011】 このことは、作製途中で装置の一部に不良が発生してしまうことを意味する。即ち、一部の薄膜ト

ランジスタが動作不良に陥ったり、リーク電流の存在による回路の動作不良といった問題が生じる。

【0012】 そしてこのことは、装置の作製途中において特に問題となる。また装置の完成後においてもその信頼性を損なう要因となる。

【0013】

【発明が解決しようとする課題】 本明細書で開示する発明は、上述のブラックマトリクスが帯電してしまう問題を解決することを課題とする。即ち、ブラックマトリクスが帯電してしまうことによって生じる作製工程における不良の発生を抑制し、また装置完成後における信頼性を向上させることを課題とする。

【0014】

【課題を解決するための手段】 本明細書で開示する発明の一つは、図 4 にその具体的な構成を示すように、アクティブマトリクス型を有する液晶表示装置であって、画素電極 228 を構成する透明導電膜 227 でもってブラックマトリクス 302 をコモン電位とするための電極 303 が形成されていることを特徴とする。

【0015】 他の発明の構成は、図 4 にその具体的な例を示すように、アクティブマトリクス型を有する液晶表示装置であって、ブラックマトリクス 302 をコモン電位とするための電極 217 がソース線 215 (図 2 参照) と同一層上に形成されていることを特徴とする。

【0016】

【実施例】

【実施例 1】 図 1 にアクティブマトリクス型の液晶表示装置を上面からみた概要を示す。図 1 には、数百×数百のマトリクス状に配置された画素電極を有するアクティブマトリクス領域 101、該アクティブマトリクス領域 101 に配置された薄膜トランジスタを駆動するための周辺駆動回路 103 と 111 が示されている。

【0017】 アクティブマトリクス領域 101 には、マトリクス状に配置された画素電極が配置されている。そして画素電極のそれぞれには、薄膜トランジスタが配置されている。

【0018】 アクティブマトリクスの構成を拡大した図略を 107 に示す。拡大図 107 に示されるようにアクティブマトリクス領域においては、109 で示されるソース線 (データ線とも呼ばれる) と 108 で示されるゲイト線とが格子状に配置されている。

【0019】 薄膜トランジスタ 110 はソース線とゲイト線とに囲まれた領域に配置されている。そして薄膜トランジスタのソースはソース線に接続されている。またドレインは図示しない画素電極に接続されている。画素電極は、ゲイト線とソース線とで囲まれた領域に配置されている。

【0020】 図 1 において、102 がブラックマトリクスの開孔部である。そしてこの開孔部以外の領域は遮光されたものとなっている。この 102 で示される開孔部

に画素電極が存在している。

【0021】ブラックマトリクスは、自身を所定の電位に保持させるために105、106、100で示されるコモン電極に延在している。コモン電極は、対抗基板と貼り合わせる時にやはり対抗電極に配置されたコモン電極と導電性のパッドを介して接続される。

【0022】また、引出し端子部にも104で示されるようにコモン電極から配線が延在している。

【0023】このような構成とすることにより、ブラックマトリクスが所定の電位に維持され、例えば静電気等の影響で装置の一部が破壊されるようなことを防ぐことができる。

【0024】以下に図1に示すような構成を有するアクティブマトリクス型の液晶表示装置の作製工程を示す。ここでは、図1の101で示されるアクティブマトリクス領域の画素の一つの薄膜トランジスタが配置された部分の作製工程、さらに103または111で示される周辺駆動回路領域に配置されるP型の薄膜トランジスタとN型の薄膜トランジスタとが配置された部分の作製工程、さらに105～107で示されるコモン電極部分の作製工程、特にC-C'で切った断面の作製工程、さらに104で示される端子部の作製工程、特にB-B'で切った断面の作製工程を示す。

【0025】図2に各部分の作製工程を示す。まず、ガラス基板201上に図示しない下地膜を3000Åの厚さに成膜する。この下地膜は酸化珪素膜または酸化窒化珪素膜でもって構成する。この下地膜は、ガラス基板からの不純物の拡散を防ぐ役割を有している。

【0026】次に図示しない非晶質珪素膜をプラズマCVD法で500Åの厚さに成膜し、さらに加熱処理やレーザー光の照射を行うことにより、結晶化させ結晶性珪素膜を得る。

【0027】さらに得られた結晶性珪素膜をパターンニングすることにより、薄膜トランジスタの活性層となる島状の領域202、203、204を形成する。こうして図2(A)に示す状態を得る。薄膜トランジスタは、周辺回路と画素部に形成されるので、この状態においては、端子部とコモン部とはなにも形成されない。

【0028】次にゲイト絶縁膜として機能する酸化珪素膜205を1000Åの厚さに成膜する。このゲイト電極を構成する酸化珪素膜205の成膜はプラズマCVD法でもって行う。

【0029】次にゲイト電極を構成する図示しないアルミニウム膜を4000Åの厚さにスパッタ法で成膜する。このアルミニウム膜中にはヒロックの発生を抑制するためにスカンジウムを0.2重量%含有させる。ヒロックとは、加熱工程において、アルミニウムの異常成長が起り、膜やパターンの表面に凹凸や突起物が形成されてしまう現象をいう。

【0030】さらに上記アルミニウム膜をパターンニング

し、ゲイト電極206、208、210を形成する。またゲイト電極の形成と同時にそこから延在したゲイト配線を同時に形成する。これらのゲイト電極やゲイト配線は、便宜上1層目の配線と呼ばれている。

【0031】そしてこのゲイト電極を陽極として電解溶液中で陽極酸化を行うことにより、緻密な膜質を有する陽極酸化膜207、209、211を形成する。この陽極酸化膜の膜厚は1000Åとする。

【0032】この陽極酸化膜は、ゲイト電極およびそこから延在したゲイト配線の表面においてヒロックが発生することを防止する役割を有している。なお、この陽極酸化膜の膜厚をさらに厚くすると、後の不純物イオンの注入工程において、オフセットゲイト領域を形成することができる。

【0033】ここで不純物イオンの注入を行うことにより、各活性層にソース/ドレイン領域とチャネル形成領域とを形成する。

【0034】ここでは、活性層202と204とにP(リン)イオンを注入する。また活性層203にB(ボロン)イオンの注入を行う。不純物イオンの選択的な注入は、レジストマスクを用いることによって行う。

【0035】この工程において、ソース領域21、26、27、ドレイン領域23、24、29が自己整合的に形成される。またチャネル形成領域22、25、28が自己整合的に形成される。

【0036】不純物イオンの注入工程後、レーザー光の照射を行い、イオンの注入された領域の活性化を行う。この工程は、赤外光や紫外光の照射による方法を用いてもよい。

【0037】こうして図2(B)に示す状態を得る。次に第1の層間絶縁膜212を1000Åの厚さに成膜する。この層間絶縁膜212は窒化珪素膜を用いる。窒化珪素膜の成膜方法は、プラズマCVD法を用いればよい。(図2(C))

【0038】なお第1の層間絶縁膜212としては、酸化珪素膜や酸化窒化珪素膜を利用することができる。

【0039】次にコンタクトホール30～35を形成する。(図2(D))

【0040】図2(D)に示す状態を得たら、図2(E)に示すように各活性層にコンタクトする電極を形成する。ここでは、周辺回路に配置される薄膜トランジスタのソース電極36と214、ドレイン電極212と213、さらに画素部に配置される薄膜トランジスタのソース電極215、ドレイン電極215を形成する。

【0041】またこの時、各電極から延在して必要な配線が形成される。例えば、画素部の薄膜トランジスタのソース電極215の形成と同時に、そこから延在したソース配線が形成される。また、周辺回路においては、必要とされる配線パターンが形成される。なお、周辺回路においてドレイン電極212と213とを接続すること

でCMOS構造を得ることができる。

【0042】また、端子部とコモン部においても同時に電極が形成される。ここでは、端子部の電極を形成するパターン219と218、さらにコモン部ではコモン電極を構成するパターン217が形成される。コモン電極は、端子部に延在し、しかるべき電位に接続される。

(図2(E))

【0043】この図2(E)で示される工程で形成される電極やパターンは、500~1000Åのチタン膜と2000Å厚のアルミニウム膜と1000Å厚のチタン膜でなる3層構造を有するものとして形成される。

【0044】この工程で形成される電極やパターンは、便宜上2層目の配線と呼ばれる。

【0045】まず最下層をチタン膜とするのは、アルミニウムと活性層を構成する半導体との電気的な接触がうまくいかないからである。これは、アルミニウムが半導体では良好なオーム接触がとれないことによる。

【0046】また中央の層をアルミニウムとするのは、その電気抵抗の低さを最大限利用するためである。

【0047】また最上層をチタン膜とするのは、後に形成される画素電極(ITO電極)と画素部の薄膜トランジスタのドレイン電極216とをコンタクトさせるためである。

【0048】即ち、アルミニウムとITO電極を直接コンタクトさせると良好なオーム接触がとれないが、チタン膜とITO電極、及びチタン膜とアルミニウムとは良好なオーム接触がとれるからである。

【0049】また、後の工程において、コモン部においてもBMと2層目のコモン電極217とをITO電極で接続することが必要される。この際、ITO電極との電気的な接触を良好なものとするために、2層目の配線の最上層をチタン膜とすることが必要とされる。

【0050】また、後の工程において、端子部においても2層目の配線でなる端子電極218及び219とITO電極とがコンタクトする必要がある。この際、端子電極とITO電極との電気的な接触を良好なものとするために、2層目の配線の最上層をチタン膜とすることが必要とされる。

【0051】こうして図2(E)に示す状態を得る。次に図3(A)に示すように第2の層間絶縁膜として酸化珪素膜301を2000Åの厚さに成膜する。

【0052】図3(A)に示す状態を得たら、図3

(B)に示すようにBM(ブラックマトリクス)を構成するためにチタン膜を3000Åの厚さに成膜する。BMとしては、クロム膜またはチタン膜とクロム膜との積層膜、または他の適当な金属膜を用いることができる。

【0053】図3(B)において、BMとして機能するのは302で示される部分である。303で示されるのは、302で示されるBMからコモン部まで延在した部分である。

【0054】次に図3(C)に示すように第3の層間絶縁膜221を成膜する。ここでは、2000Å厚の酸化珪素膜をプラズマCVD法を成膜する。

【0055】さらに図3(C)に示すように開口222、223、224、225を形成する。ここで222は、端子部の電極を形成するための開口である。また223と224は、2層目の配線とBMとを電氣的に接続するための開口である。

【0056】また225は、画素部分の薄膜トランジスタのドレイン電極216に後に画素電極であるITO電極がコンタクトするための開口である。

【0057】そして、図4(A)に示すようにITOでなる電極226と227と228とを同時に形成する。ここで、228が画素電極として機能する部分である。また227が2層目の配線217とBMから延在した電極パターン220とを接続するために電極パターンとなる。

【0058】なお、コモン部の電極パターン227上にはさらに銀ペーストで対抗基板との接触用の電極が形成される。

【0059】以上示した構成を採用することにより、BM層が電氣的に浮いた状態とすることを避ける構成とすることができる。

【0060】例えば、図4(A)に示す工程の後には、図示しないファイナル保護膜を形成し、さらにその上に液晶をラビングするための図示しないラビング膜を形成し、その後にラビング工程が実施される。この際、静電気の発生により、薄膜トランジスタが破壊されたり絶縁膜が静電破壊してしまうことが多々ある。

【0061】しかし、本実施例に示す構成を採用した場合、ブラックマトリクスを所定の電位として、そこに電荷が蓄積することを避けることができるので、上記のような不良の発生を防止することができる。

【0062】〔実施例2〕本実施例は、実施例1とは一部の工程が異なった構成に関する。本実施例に示す作製工程は、図3(A)までは実施例1に示したものと同一である。

【0063】まず実施例1に示した作製工程に従って、図3(A)に示す状態を得る。図3(A)に示す状態を得たら、図5(A)に示すように開口部501、502、503を形成する。即ち、第2の層間絶縁膜301に501~503で示される開口を形成する。

【0064】次にBMを構成するチタン膜を成膜し、それをパターニングすることにより、図5(B)に示す状態を得る。

【0065】ここで507が本来のBMとしての機能を果たすパターンである。

【0066】また506がBMから延在したパターンと2層目のコモン用の電極217とを直接コンタクトさせるためのパターンである。

【0067】また、504と505が端子部を構成する一層目の電極218と219にコンタクトする電極である。

【0068】本実施例においては、端子部において、BMを構成する材料でもって電極が構成されることが実施例1と異なる点である。また、コモン部においてBMから延在した電極506と2層目のコモン電極217とが直接接触する点の実施例1と異なる点である。

【0069】図5(B)に示す状態を得たら、3層目の層間絶縁膜508を成膜する。ここでは、実施例1と同様に酸化珪素膜でもって3層目の層間絶縁膜508を形成する。(図5(C))

【0070】さらにコンタクトホールを形成を行う。そしてITO膜をスパッタ法で1500Åの厚さに成膜する。そしてそれをパターニングすることにより、画素電極512を形成する。

【0071】また同時にコモン部における電極511を形成する。この電極511は後に対向基板のコモン電極と接触するために電極となる。また504と505は、端子部における電極端子を形成するものとなる。

【0072】本実施例の構成を採用した場合、BM507から延在した電極506と2層目のコモン用の電極217とが直接接触する構成とすることができる。そしてそのコンタクトを確実なものとすることができる。

【0073】このBMと2層目のコモン用の電極との接続は、共通電位を保持するためのものであるから、その接触抵抗を極力低くする必要がある。このような目的のためには、本実施例の構成は有用なものとなる。

【0074】〔実施例3〕本実施例は、実施例1に示す構成において、2層目の配線をチタン膜/アルミニウム膜/チタン膜でなる3層膜とするのではなく、チタン膜/アルミニウム膜の2層膜で構成する場合の例を示す。

【0075】実施例1で述べたように、2層目の配線を3層構造とするのは、活性層とのコンタクト、ITOとのコンタクト、配線自身抵抗の低減、といった問題を解決するためである。

【0076】しかし、上記のような多層構造は、成膜工程が多くなるので、作製コストの削減を考えた場合、より層の数が少ないものとするのが好ましい。本実施例はこの点を考慮し、2層目の配線をチタン膜/アルミニウム膜の2層膜でよいものとした例である。

【0077】本実施例は、実施例1とは一部の工程が異なった構成に関する。本実施例に示す作製工程は、一部の工程を除いて図3(A)までは実施例1に示したものと同じである。

【0078】まず実施例1に示した作製工程に従って、図3(A)に示す状態を得る。この時、図2(D)に示す工程において、開口35は形成しない。

【0079】また、図2(E)に示す工程において、217~219、さらに36と212~215で示される

2層目の配線を1000Åのチタン膜と3000Åのアルミニウム膜との2層で構成する。なお当然電極216は形成しない。

【0080】こうして図3(A)に示す状態を得たら、図6(A)に示すように開口部501、502、503、601を形成する。即ち、第2の層間絶縁膜301に開口501~503、さらに601を形成する。

【0081】図6(A)は図5(A)に対応する。両図で異なるのは、図6(A)では、開口601が形成されているが、図5(A)では対応する部分では電極216が形成されている点である。

【0082】次にBMを構成するチタン膜を成膜し、それをパターニングすることにより、図6(B)に示す状態を得る。ここで507が本来のBMとしての機能を果たすパターンである。

【0083】またこのパターン506はBM507から延在したパターンと2層目のコモン用の電極217とを直接コンタクトさせるためのパターンである。

【0084】また、504と505が端子部を構成する一層目の電極218と219にコンタクトした電極である。

【0085】またこの工程において、開口601の部分にドレイン領域29とコンタクトする電極602をBM507を構成する材料でもって形成する。

【0086】本実施例においては、端子部において、BMを構成する材料でもって電極が構成されることが実施例1と異なる点である。また、BMと2層目のコモン電極217とが直接接触する点の実施例1と異なる点である。また画素部分の薄膜トランジスタのドレイン領域にコンタクトする電極602がBM材料でもって形成される点の実施例1及び実施例2と異なる。

【0087】図6(B)に示す状態において、217~219、さらに36と212~215で示される2層目の配線がチタンとアルミニウムでなる2層膜でよいことが明らかになる。

【0088】即ち、2層目の配線の上面にコンタクトしているのは、チタンでなるBM材料である。従って、2層目の配線の上面がアルミニウムであっても何ら問題なくオーム接触をとることができる。

【0089】従って、本実施例においては、2層目の配線を下層がチタン膜で上層がアルミニウム膜である2層構造とすることができる。

【0090】図6(B)に示す状態を得たら、3層目の層間絶縁膜508を成膜する。ここでは、実施例1と同様に酸化珪素膜でもって3層目の層間絶縁膜508を形成する。(図6(C))

【0091】さらにコンタクトホールを形成を行う。そしてITO膜をスパッタ法で1500Åの厚さに成膜する。そしてそれをパターニングすることにより、画素電極512を形成する。

【0092】また同時にコモン部における電極511を形成する。この電極511は後に対抗基板のコモン電極と接触するために電極となる。また509と510は、端子部における電極端子を形成するものとなる。

【0093】本実施例の構成を採用した場合、BM507から延在した電極506と2層目のコモン用の電極217とが直接接する構成とすることができる。そしてそのコンタクトを確実なものとすることができる。

【0094】このBMと2層目のコモン用の電極との接続は、共通電位を保持するためのものであるから、その接触抵抗を極力低くする必要がある。このような目的のためには、本実施例の構成を採用するは好ましい。

【0095】また、それに加えて2層目の配線をチタン膜とアルミニウム膜との2層膜で構成することができる。このことは、工程を削減できる意味で有用なものとなる。

【0096】〔実施例4〕本実施例は、実施例1～3で示す工程におけるBMを構成する材料の成膜の際に、BMが成膜中に高い電位を有し、絶縁膜を静電破壊しないようにするための工夫に関する。

【0097】実施例1～3に示したようにBMは最終的には所定の電位になるべく構成される。しかし、BMの成膜の際（普通スパッタ法が利用される）には、成膜途中のBMに電荷が蓄積され、BMが他部に対して電位を有してしまうことが懸念される。

【0098】本実施例はこの問題を解決するものである。図7に本実施例に示す構成の概略を示す。まず図7（B）に示すように基板701上に第1の層間絶縁膜702と2層目の配線703を形成する。ここで、2層目の配線の一部を基板701の角の部分まで延在させて設けておく。

【0099】そして2層目の層間絶縁膜をプラズマCVD法で成膜する際において、図7（A）に示すように、2層目の配線の延在部分702が存在する部分を基板701を抑える爪705で押さえて、電極700上に配置する。

【0100】そしてこの状態において、図7（B）に示すように2層目の層間絶縁膜704の成膜を行う。すると、爪705が存在していた部分には成膜が行われない状態となる。

【0101】そして、BM材料をスパッタ法なりで成膜する。すると、成膜と同時に延在した2層目の配線703とBM膜706とがコンタクトする。このようにすると、BM材料の成膜途中、またはコモン電極の形成の前にBM材料が特定の電位になってしまうことを抑制することができる。

【0102】なお、702は2層目の配線が形成される基体となる絶縁膜である。

【0103】

【発明の効果】本明細書で開示する発明を用いること

で、ブラックマトリクスが帯電してしまう問題を解決することができる。即ち、ブラックマトリクスが帯電してしまうことによって生じる作製工程における不良の発生を抑制することができる。また装置完成後における信頼性を向上させることができる。

【図面の簡単な説明】

【図1】 アクティブマトリクス型の液晶表示装置の概要を示す図。

【図2】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図2】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図3】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図4】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図5】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図6】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。

【図7】 BM材料の成膜状態を示す図。

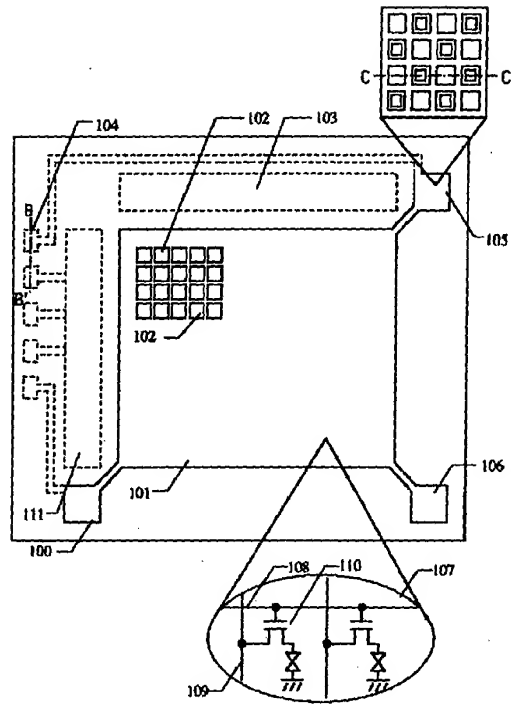
【符号の説明】

101 アクティブマトリクス領域
102 BM（ブラックマトリクス）
に形成された開口部
103 周辺駆動回路
104 端子
105、106、100 コモン電極
107 アクティブマトリクス回路の

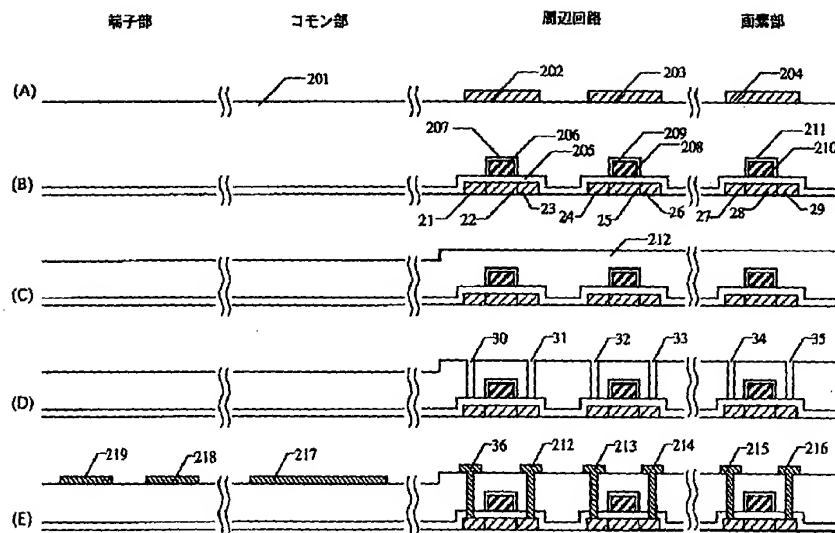
30 拡大図
108 ゲイト線
109 ソース線
110 薄膜トランジスタ
111 周辺駆動回路
201 ガラス基板
202、203、204 活性層
205 ゲイト絶縁膜
206、208、210 ゲイト電極
207、209、211 陽極酸化膜
40 21、26、27 ソース領域
23、24、29 ドレイン領域
22、25、28 チャンネル形成領域
212 層間絶縁膜
30～35 コンタクト開口
218、219 端子電極
217 コモン電極
36、214、215 ソース電極
212、213、216 ドレイン電極
301 層間絶縁膜
302 BM（ブラックマトリクス）

303	11	227	12
221	コモン電極	228	コモン電極
226	層間絶縁膜		画素電極
	端子電極		

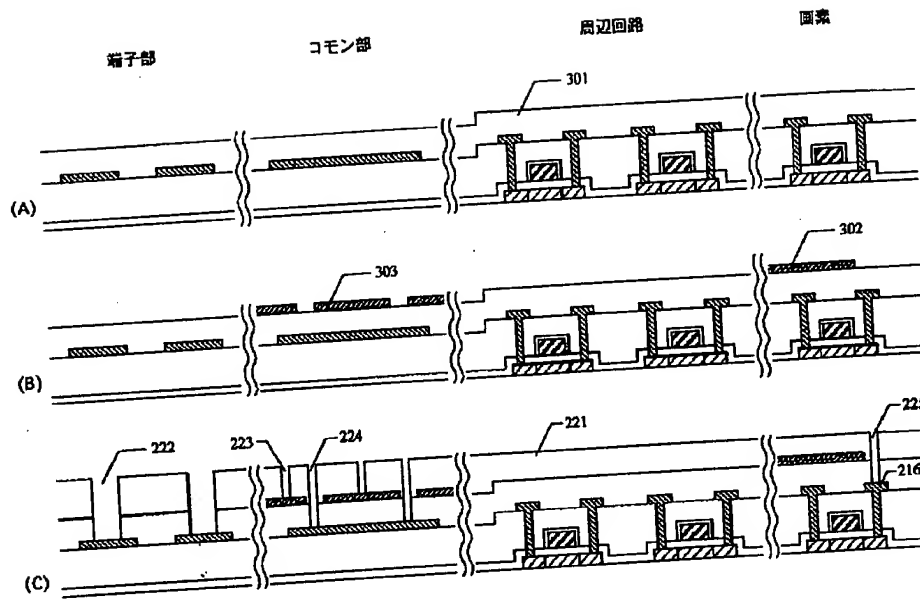
【図1】



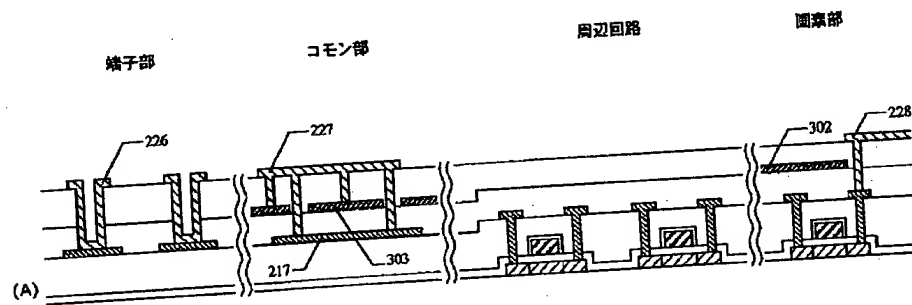
【図2】



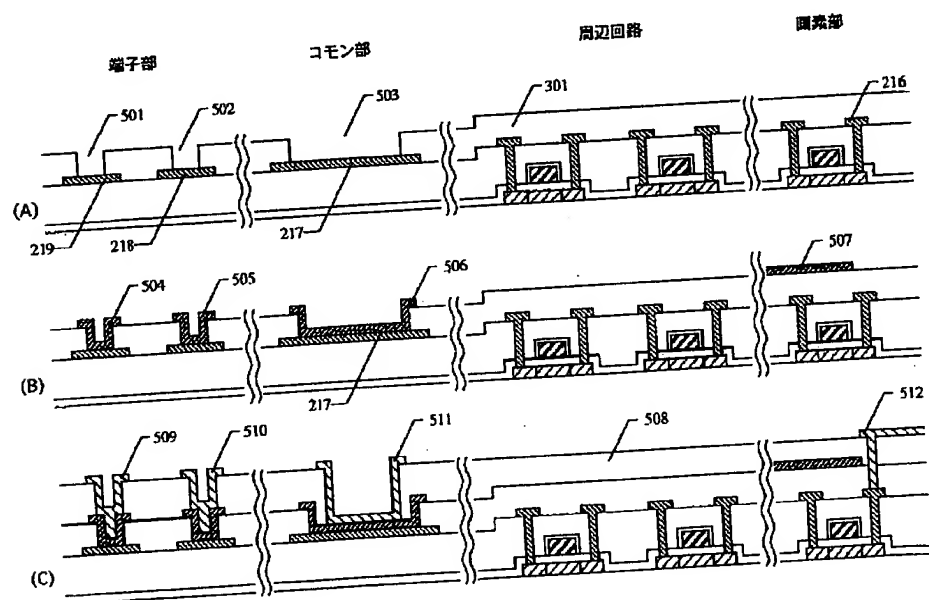
【図 3】



【図 4】

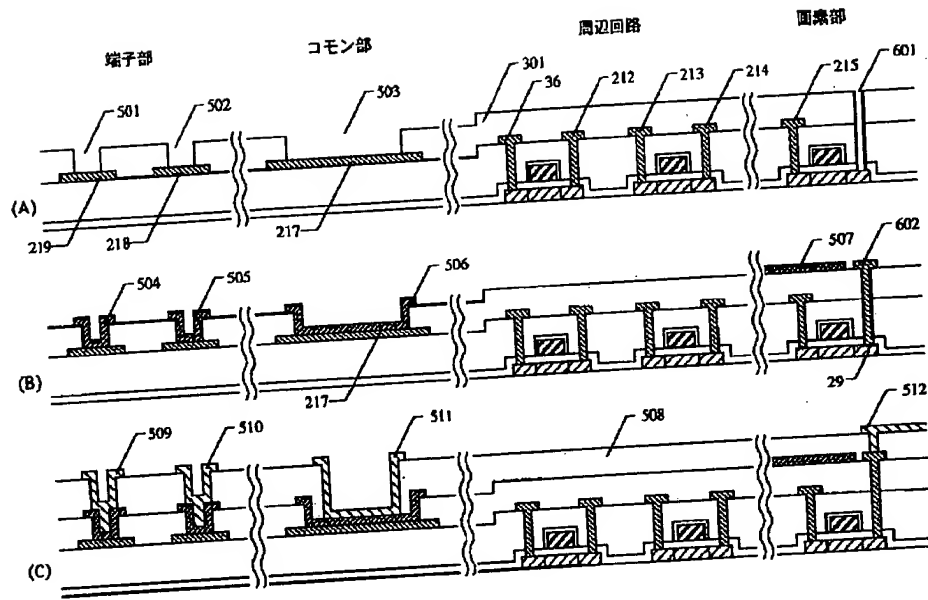


【図 5】

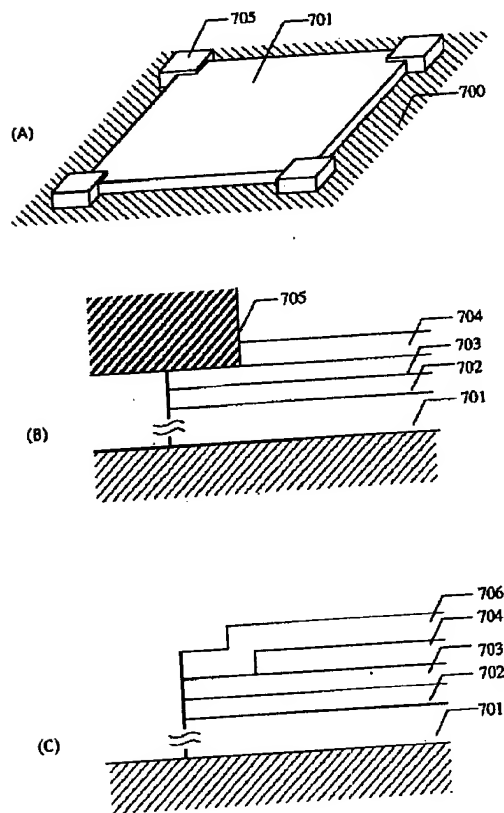


(9)

【図 6】



【図 7】



【手続補正書】			
【提出日】平成8年5月30日			
【手続補正1】		107	アクティブマトリクス回路の
【補正対象書類名】明細書		拡大図	
【補正対象項目名】図面の簡単な説明		108	ゲイト線
【補正方法】変更		109	ソース線
【補正内容】		110	薄膜トランジスタ
【図面の簡単な説明】		111	周辺駆動回路
【図1】 アクティブマトリクス型の液晶表示装置の概要を示す図。		201	ガラス基板
【図2】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。		202、203、204	活性層
【図3】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。		205	ゲイト絶縁膜
【図4】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。		206、208、210	ゲイト電極
【図5】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。		207、209、211	陽極酸化膜
【図6】 アクティブマトリクス型の液晶表示装置の作製工程を示す図。		21、26、27	ソース領域
【図7】 BM材料の成膜状態を示す図。		23、24、29	ドレイン領域
【符号の説明】		22、25、28	チャネル形成領域
101	アクティブマトリクス領域	212	層間絶縁膜
102	BM (ブラックマトリクス)	30~35	コンタクト開口
に形成された開口部		218、219	端子電極
103	周辺駆動回路	217	コモン電極
104	端子	36、214、215	ソース電極
105、106、100	コモン電極	212、213、216	ドレイン電極
		301	層間絶縁膜
		302	BM (ブラックマトリクス)
		303	コモン電極
		221	層間絶縁膜
		226	端子電極
		227	コモン電極
		228	画素電極

フロントページの続き

(72)発明者 須沢 英臣
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(72)発明者 山口 直明
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内